

11/5/2 (Item 2 from file: 351) [Links](#)

Derwent WPI

(c) 2007 The Thomson Corporation. All rights reserved.

0007406162 *Drawing available*

WPI Acc no: 1996-013118/199602

XRPX Acc No: N1996-011246

**Register access control device e.g. data processing equipment - includes data converter to convert data to group index value stored in data bus**

Patent Assignee: HITACHI GAZO JOHO SYSTEM KK (HITA-N); HITACHI LTD (HITA)

Inventor: FUKUDA T; HAYASHI S; JINUSHI M; OHARA T

Patent Family ( 1 patents, 1 countries )

Patent Number	Kind	Date	Application Number	Kind	Date	Update	Type
JP 7262003	A	19951013	JP 199448352	A	19940318	199602	B

Priority Applications (no., kind, date): JP 199448352 A 19940318

Patent Details

Patent Number	Kind	Lan	Pgs	Draw	Filing Notes
JP 7262003	A	JA	16	6	

#### Alerting Abstract JP A

The control device includes a data convertor (310). The index value of a data bus (30) output by a driver software is stored in an index register (20). The index value converter (320) converts index value of the data bus output by driver to another value. The data is output to a data bus (3) through a selector (330).

The value output by data bus is set in the index register (2). The data converter converts the data of index value (201) stored in the data bus output by driver software, to another value. The new data is output to the data bus through the selector.

**ADVANTAGE** - Secures software compatibility even when physical register specification is changed.

**Title Terms /Index Terms/Additional Words:** REGISTER; ACCESS; CONTROL; DEVICE; DATA; PROCESS; EQUIPMENT; CONVERTER; CONVERT; GROUP; INDEX; VALUE; STORAGE; BUS

#### Class Codes

International Patent Classification

IPC	Class Level	Scope	Position	Status	Version Date
G06F-009/34			Main		"Version 7"
G06F-007/00			Secondary		"Version 7"

File Segment: EPI;

(51) Int.Cl.<sup>6</sup>  
G 0 6 F 9/34  
7/00

識別記号 330  
序内整理番号 9188-5B

F I

技術表示箇所

G 0 6 F 7/ 00

R

審査請求 未請求 請求項の数 8 O.L. (全 16 頁)

(21)出願番号

特願平6-48352

(22)出願日

平成6年(1994)3月18日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72)発明者 地主 国宏

神奈川県横浜市戸塚区吉田町292番地株式

会社日立画像情報システム内

(72)発明者 福田 丈洋

神奈川県横浜市戸塚区吉田町292番地株式

会社日立画像情報システム内

(74)代理人 弁理士 小川 勝男

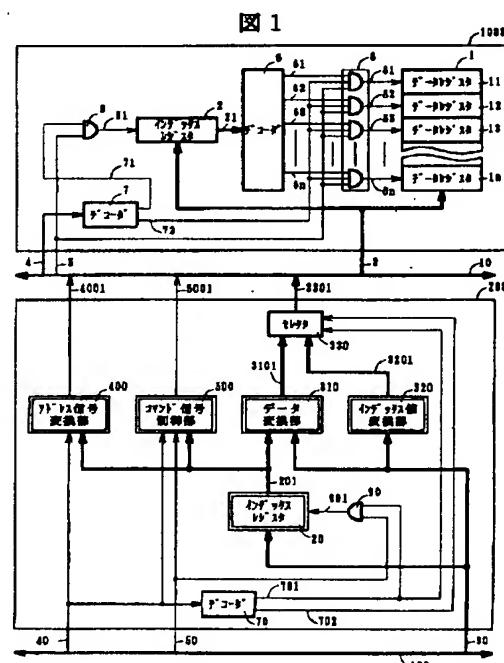
最終頁に続く

## (54)【発明の名称】 レジスタアクセス制御装置

## (57)【要約】

【目的】インデックスレジスタの設定値によってマッピングされる複数のデータレジスタを持つようなレジスタ構成群において、ソフトウェアを変更することなくデータレジスタのマッピングやデータレジスタへの設定値を変更可能にするレジスタアクセス制御装置を提供する。

【構成】ドライバソフトウェアによって出力されたデータバス30上のインデックス値は、インデックスレジスタ20に記憶される。インデックス値変換部320は、ドライバソフトウェアによって出力されたデータバス30上のインデックス値を別の値に変換し、セレクタ330を介してデータバス3に出力する。その値はインデックスレジスタ2に設定される。データ変換部310は、ドライバソフトウェアによって出力されたデータバス30上のデータ値を、記憶したインデックス値201を基に別の値に変換し、セレクタ330を介してデータバス3に出力する。その値はインデックスレジスタ2に設定された値によって選択されるデータレジスタ群1の中の一つに設定される。



## 【特許請求の範囲】

【請求項1】複数のデータレジスタと、該複数のデータレジスタの中から一つを選択するための値を設定する第1のインデックスレジスタと、該複数のデータレジスタと該第1のインデックスレジスタに共通に接続されるデータバスを具備し、該第1のインデックスレジスタを設定することで該複数のデータレジスタから所望の一つが選択されてアクセス可能になる1個以上のレジスタ構成群に対するアクセスを制御するレジスタアクセス制御装置であって、

前記データバス上の値を保存する第2のインデックスレジスタと、前記データバス上の値を別の値に変換する第1の変換部と、前記データバス上の値を前記第2のインデックスレジスタの値を基に別の値に変換する第2の変換部を具備し、前記第1の変換部の出力値を前記第1のインデックスレジスタに設定し、前記第2の変換部の出力値を前記複数のデータレジスタに設定することを特徴とするレジスタアクセス制御装置。

【請求項2】複数のデータレジスタと、該複数のデータレジスタの中から一つを選択するための値を設定する第1のインデックスレジスタと、該複数のデータレジスタと該第1のインデックスレジスタに共通に接続されるデータバスを具備し、該第1のインデックスレジスタを設定することで該複数のデータレジスタから所望の一つが選択されてアクセス可能になる1個以上のレジスタ構成群と、プロセッサと、該プロセッサから前記レジスタ群をアクセスするためのレジスタアクセス用バスとを有するデータ処理装置において、

前記プロセッサと前記レジスタ群の間に位置し、前記レジスタアクセス用バスに接続されて前記プロセッサとの間で信号およびデータを転送するとともに、前記データバスに接続されて前記レジスタ群に対するアクセスを制御するレジスタアクセス制御装置であって、

前記プロセッサから前記第1のインデックスレジスタに対して出力された値を保存する第2のインデックスレジスタと、前記第1のインデックスレジスタに対して出力された前記値を別の値に変換する第1の変換部と、前記第2のインデックスレジスタに保存された値に基づいて、前記プロセッサから前記複数のデータレジスタに対して出力された値を別の値に変換する第2の変換部とを具備し、前記第1の変換部の出力値を前記第1のインデックスレジスタに設定し、前記第2の変換部の出力値を前記複数のデータレジスタに設定することを特徴とするレジスタアクセス制御装置。

【請求項3】各レジスタへの設定値を供給する一つのデータバスと、該データバス上の値を記憶する第1のレジスタと、該データバス上の値を別の値に変換する第1の変換部と、該データバス上の値を該第1のレジスタに記憶された値を基に別の値に変換する第2の変換部と、該第1の変換部の出力値を記憶する第2のレジスタと、該

第2の変換部の出力値を記憶する複数個からなる第3のレジスタを具備し、該第2のレジスタに記憶された値に対応する一つの該第3のレジスタに対して該第2の変換部の出力値が記憶されることを特徴とするレジスタアクセス制御装置。

【請求項4】書き換え可能な記憶手段を具備し、前記第1の変換部および前記第2の変換部の変換動作を該記憶手段に設定する情報に依存させることを特徴とする請求項1乃至請求項3のいずれか一に記載のレジスタアクセス制御装置。

【請求項5】前記第1の変換部をj (jは1以上の整数)個、前記第2の変換部をk (kは1以上の整数)個具備し、同時にi (iはj以上且つk以上の整数)個の該レジスタ構成群を同時にアクセスすることを特徴とする請求項1または請求項2に記載のレジスタアクセス制御装置。

【請求項6】前記第1の変換部および前記第2の変換部が一つの入力値に対して時系列的にn (nは2以上の整数)回の変換を行ない、変換結果の出力値を前記第1のインデックスレジスタおよび前記データレジスタに設定することを特徴とする請求項1記載のレジスタアクセス制御装置。

【請求項7】請求項1または請求項2に記載のレジスタアクセス制御装置を備えた表示制御装置。

【請求項8】請求項4乃至請求項6のいずれか一に記載のレジスタアクセス制御装置を内蔵したLSI。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はコンピュータなどのデータ処理装置において、レジスタの論理的なマッピングは変更せずに物理的なマッピングを変更するレジスタアクセス制御装置に関する。

## 【0002】

【従来の技術】近年、パーソナルコンピュータやワークステーション等の表示制御装置には、ルックアップテーブル、カーソル表示機能、デジタル・アナログ変換器等を一体化したLSIが多く用いられている。このようなLSIでは、各種機能を制御する複数のデータレジスタと、個々のデータレジスタを指し示すインデックス値を格納する一つのインデックスレジスタとを持ち、インデックスレジスタに所定の値を設定することで複数のデータレジスタの中から一つが選択されてアクセス可能になるような、レジスタのアクセス方法を採用しているものが多い。これにより、複数のデータレジスタを選択するための外部から供給するアドレス信号を減らすことが可能であり、LSIの信号ビン数削減による小形化を実現している。

【0003】なお、この種のLSIは各メーカーから製品化されており、例えば代表的なものとしては(米)Brooktree社発行の「GRAPHICS AND IMAGING PRODUCT DATA

BOOK」に「RAMDAC」という商標で記載されている。

【0004】

【発明が解決しようとする課題】この種のLSIは、表示制御装置の要求仕様を満足するよう多種多様な仕様を有したものが存在し、単体あるいは数種類を組み合わせて使用することで各種の機能を実現することができる。しかし、同一の機能を提供するレジスタのマッピングが各LSI間で必ずしも一致していないため、LSIを直接アクセスするソフトウェア（以下ドライバソフトウェアと略記する）を各LSIごとに作成する必要がある。このため、例えば、表示制御装置の仕様に変更がなくても、原価低減や性能向上を考慮して使用するLSIを変更すると、ドライバソフトウェアを作り直さなければならないという問題が発生する。

【0005】また、レジスタの設定値自体も、表示装置の仕様に依存する場合があるため、表示装置が変更になると、それに合わせて設定値を変えなければならないという問題が発生する。

【0006】本発明の目的は、上記従来技術の問題点を解決し、物理的なレジスタマッピングが異なるLSIを使用した場合でも、ドライバソフトウェアを作り直す必要がないレジスタアクセス制御装置を提供することにある。

【0007】また、本発明の他の目的は、上記従来技術の問題点を解決し、表示装置が変更になってもドライバソフトウェアを作り直す必要がない表示制御装置を提供することにある。

【0008】

【課題を解決するための手段】上記目的は、ドライバソフトウェアがインデックスレジスタに対して出力した値（以下インデックス値と略記する）を記憶する手段と、そのインデックス値を別のインデックス値に変換してインデックスレジスタに設定する手段と、ドライバソフトウェアがデータレジスタに対して出力した値（以下、データ値と略記する）を、記憶したインデックス値を基に別のデータ値に変換してデータレジスタに設定する手段を設けることにより達成される。

【0009】また、上記目的は、前記インデックス値を変換する手段と前記データ値を変換する手段を、書き換え可能なメモリ素子で構成し、メモリ素子への設定値に依存した変換を行なうようにすることで達成される。

【0010】また、上記目的は、前記インデックス値を変換する手段と前記データ値を変換する手段を複数組設け、複数組のインデックスレジスタとデータレジスタに対して変換したインデックス値やデータ値を設定することにより達成される。

【0011】また、上記目的は、ドライバソフトウェアからの1回のアクセスに対して2回以上のアクセスを行なう手段を設けることにより達成される。

【0012】

【作用】ドライバソフトウェアが出力したインデックス値を、別の値に変換してインデックスレジスタに設定することにより、ドライバソフトウェアを変更することなくデータレジスタのマッピングを変更可能になる。また、ドライバソフトウェアが出力したデータ値を、別の値に変換してデータレジスタに設定することによって、ドライバソフトウェアを変更することなくデータレジスタへの設定を変更可能になる。

10 【0013】また、メモリ素子に記憶した設定値に依存した変換を行なうようにすれば、メモリ素子への設定値をレジスタの物理仕様に応じて変更することにより、レジスタの物理仕様が変更になってもドライバソフトウェアを変更する必要がない。

【0014】

【実施例】以下、本発明の実施例を説明する。まず、本発明の第1の実施例について説明する。図1は本発明によるレジスタアクセス制御装置の一実施例を示す機能ブロック図である。図1において、1000はインデックスレジスタや複数のデータレジスタからなるレジスタ構成群であり、従来から1チップのLSIなどで提供されているものの一例である。1はn（nは1以上の整数）個のデータレジスタ群であり、個々のデータレジスタ11～1nで構成される。2はデータレジスタ群1の個々を指示するインデックス値を格納するインデックスレジスタであり、その出力21はインデックスレジスタ6に格納されているインデックス値である。3はデータレジスタ群1とインデックスレジスタ2に共通のデータバスである。4はインデックスレジスタ2又はデータレジスタ群1のいずれかを選択するアドレス信号である。5は各レジスタへのアクセスを制御するコマンド信号であり、データバス3上の値やアドレス信号4が有効なときに“1”になる。6はインデックス値21をデコードするデコーダであり、その出力61～6nはそれぞれインデックス値21がデータレジスタ11～1nを示す場合に“1”になるデコード値である。7はアドレス信号4をデコードするデコーダであり、その出力71はアドレス信号4がインデックスレジスタ2を示す場合に“1”になるデコード値であり、72はアドレス信号4がデータレジスタ群1を示す場合に“1”になるデコード値である。8はn個の論理積であり、デコーダ6が outputするデコード値61～6nとデコーダ7が outputするデコード値72とコマンド信号5を論理積した信号81～8nをデータレジスタ11～1nに対して出力する。この信号81～8nがそれぞれ“1”的ときにデータバス3上の値がデータレジスタ11～1nに格納される。9は論理積であり、デコーダ7が outputするデコード値71とコマンド信号5を論理積した信号91をインデックスレジスタ2に対して出力する。この信号91が“1”的ときにデータバス3の値がインデックスレジスタ2に格納され

20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50

30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50

40 41 42 43 44 45 46 47 48 49 50

る。10はレジスタ構成群1000をアクセスするバスであり、データバス3とアドレス信号4とコマンド信号5で構成される。2000は本発明の特徴的な部分であるレジスタアクセス制御部であり、上記のレジスタ構成群1000に対するアクセスを制御する。従来技術では、このレジスタアクセス制御部2000が存在せず、図示しないプロセッサがレジスタ構成群1000に対するアクセスを直接制御していた。100はレジスタアクセス用バスであり、図示しないプロセッサから制御される。このバス100は、物理的には上記バス10と互換性があり、データバス30とアドレス信号40とコマンド信号50で構成される。データバス30には、図示しないプロセッサからデータレジスタ群1やインデックスレジスタ2に対する設定値が出力される。アドレス信号40には図示しないプロセッサからデータレジスタ群1又はインデックスレジスタ2のいずれかを選択するためのアドレスが出力される。コマンド信号50には、図示しないプロセッサからデータバス30上の値やアドレス信号40が有効なときに“1”になる信号が出力される。20は図示しないプロセッサから出力されるインデックス値を格納するインデックスレジスタであり、その出力201はインデックスレジスタ20に格納されているインデックス値である。70はアドレス信号40をデコードするデコーダであり、その出力701はアドレス信号40がインデックスレジスタ2を示す場合に“1”になるデコード値、702はアドレス信号40がデータレジスタ群1を示す場合に“1”になるデコード値である。90は論理積であり、デコーダ70が outputするデコード値701とコマンド信号50を論理積した信号901をインデックスレジスタ20に出力する。この信号901が“1”的ときインデックスレジスタ20はデータバス30上の値を格納する。また、320はデータバス30上のインデックス値を別のインデックス値に変換して出力するインデックス値変換部であり、その出力3201はインデックス値変換部320によって変換されたインデックス値（以下変換インデックスと略記する）である。310はインデックス値201に基づきデータバス30上のデータ値を別のデータ値に変換して出力するデータ変換部であり、その出力3101はデータ変換部310によって変換されたデータ値（以下変換データと略記する）である。400はインデックス値201に基づきアドレス信号40を別のアドレス信号に変換して出力するアドレス信号変換部であり、その出力4001はアドレス信号変換部400によって変換されたアドレス信号（以下変換アドレスと略記する）である。500は、アドレス信号40およびインデックス値201に基づいてコマンド信号50を別のコマンド信号に変換するコマンド信号制御部であり、その出力5001はコマンド信号制御部500によって変換されたコマンド信号（以下変換コマンドと略記する）である。330は変換

インデックス3201又は変換データ3101のいずれか一方を選択して出力するセレクタであり、デコード値701が“1”的ときは変換インデックス3201を、デコード値702が“1”的ときは変換データ3101を出力する。3301はデータバスであり、セレクタ330によって変換インデックス3201あるいは変換データ3101が出力される。ここで、データバス3301はデータバス3と、変換アドレス4001はアドレス信号4と、変換コマンド5001はコマンド信号5と、各々物理的に接続されており、同一の値が転送される。【0015】次に本実施例の動作を表1～表3と図2を参照しながら説明する。表1～表3は本実施例におけるドライバソフトウェアの仕様（以下論理仕様と略記する）とレジスタ構成群1000のハードウェア仕様（以下物理仕様と略記する）の差異の一例を示す仕様表である。プロセッサからのアクセスは、この論理仕様に基づき行われるものである。図2は表1～表3で示した仕様をベースにした本実施例の基本的な動作タイミングを示すタイミングチャートである。表1～表3および図2では、図1と対応する部分は同一の符号を記しており、それらの説明は省略する。【0016】表1は、アドレス信号に対して選択されるレジスタの仕様を示している仕様表であり、アドレス信号が2ビットと仮定して記述してある。表1において、論理仕様では、アドレス信号が“00”的ときにインデックスレジスタが選択され、“10”的ときにデータレジスタ群が選択される。すなわち、図示しないプロセッサが出力するアドレス信号40が“00”的ときにインデックスレジスタ2が選択され、“10”的ときにデータレジスタ群1が選択される必要がある。これに対して物理仕様では、アドレス信号が“00”的ときにインデックスレジスタが選択され、“11”的ときにデータレジスタ群が選択される。すなわち図1のアドレス信号4が“00”的ときにインデックスレジスタ2が選択され、“11”的ときにデータレジスタ群1が選択される。【0017】表2はインデックス値に対して選択されるデータレジスタの仕様を示す仕様表であり、インデックス値が8ビットと仮定して記述してある。数字の前の“\$”はその数字が16進数であることを表している。表2において、論理仕様では、インデックス値が“\$01”的ときにデータレジスタ13が、“\$02”的ときにデータレジスタ11が、“\$03”的ときにデータレジスタ12が選択される。すなわち、図示しないプロセッサが出力するインデックス値（インデックスレジスタ20に格納されるインデックス値201）が“\$01”的ときにデータレジスタ13が、“\$02”的ときにデータレジスタ11が、“\$03”的ときにデータレジスタ12が選択される必要がある。これに対して、物理仕様では、インデックス値が“\$01”的ときにデータレジスタ11が、“\$02”的ときにデータレジスタ12が、“\$03”的

ときデータレジスタ13が選択される。すなわち、図1のインデックスレジスタ2に格納されるインデックス値21が“\$01”的ときデータレジスタ11が、“\$02”的ときデータレジスタ12が、“\$03”的ときデータレジスタ13が選択される。

【0018】表3はデータレジスタのビット仕様を示した仕様表であり、特にデータレジスタ13とデータレジスタ11の仕様を示している。表3中の記号A、B、Cは、ある特定の機能を有するビットを区分しているものであり、同一記号のビットは同一機能を有していることを示す。表3において、論理仕様では、機能Aはデータレジスタ13のD7ビット、機能Bはデータレジスタ11のD4ビット、機能Cはデータレジスタ11のD1ビットで有効になる。すなわち、D7ビットを最上位ビットとした場合、データレジスタ13に対して“\$80”を設定すると機能Aが、データレジスタ11に対して“\$11”を設定すると機能Bと機能Cが有効になる必要がある。これに対して物理仕様では、機能Aはデータレジスタ13のD2ビット、機能Bはデータレジスタ11のD5ビット、機能Cはデータレジスタ11のD3ビットで有効になる。すなわち、図1のデータレジスタ13に対して“\$04”を設定すると機能Aが有効になり、データレジスタ11に対して“\$28”を設定すると機能Bと機能Cが有効になる。

【0019】ここで、表1～表3を用いて述べてきた論理仕様と物理仕様の相違を、本発明の特徴的なレジスタアクセス制御部2000でどのようにして吸収するかを図2を用いて説明する。

【0020】図2は機能A、機能Bおよび機能Cを有効にすると仮定したときのレジスタアクセス動作タイミングを示している。図2において、期間aはデータレジスタ13をアクセス可能にするためのインデックスレジスタに対する設定を表す。同様に、期間bは機能Aを有効にするためのデータレジスタ13に対する設定を、期間cはデータレジスタ11をアクセス可能にするためのインデックスレジスタに対する設定を、そして期間dは機能BとCを有効にするためのデータレジスタ11に対する設定を表している。まず、期間aでは、論理仕様に基づきインデックスレジスタに対して“\$01”を設定するために、プロセッサからはアドレス信号40に“00”が、データバス30にはインデックス値“\$01”が出力される。また、アドレス信号40とデータバス30が有効であることを示すコマンド信号50が出力される。すると、アドレス信号40が“00”であることを受けデコード値701が“1”、デコード値702が“0”となり、デコード値701とコマンド信号50の論理積である信号901が“1”となり、インデックスレジスタ20にデータバス30上のインデックス値“\$01”が設定される（インデックス値201が“\$01”となる）。インデックス値変換部320は、論理仕

様と物理仕様の相違（表2参照）を吸収するべく、データバス上のインデックス値“\$01”を“\$03”に変換して、変換インデックス3201として出力する。セレクタ330は、デコード値701が“1”であるため変換インデックス3201（“\$03”）をデータバス3301に出力する。アドレス信号変換部400は、論理仕様と物理仕様の相違（表1参照）を吸収するべく、アドレス値40（“00”）を“00”に変換して変換アドレス4001として出力する。この場合、仕様の相違が無いため実際には値の変換は行なわない。コマンド信号制御部500は、アドレス信号40がインデックスレジスタを示す値である“00”的ときは、入力したコマンド信号50をそのまま変換コマンド5001として出力する。ここで、アドレス信号4は変換アドレス4001と、コマンド信号5は変換コマンド5001と、データバス3はデータバス3301と各々物理的に接続されているため、アドレス信号4には“00”が、コマンド信号5には“1”が、データバス3には“\$03”が出力される。すると、物理仕様に則り、デコード値71が“1”、デコード値72が“0”となり、デコード値71およびコマンド信号5の論理積である信号91が“1”となり、インデックスレジスタ2にはデータバス3上の値“\$03”が設定される（インデックス値21が“\$03”となる）。続いて、インデックス値21が“\$03”になると、物理仕様に則り、デコード6の出力のうちデコード値63のみが“1”となる。次に、期間bでは、論理仕様に基づきデータレジスタ13に対して“\$80”を設定するために、プロセッサからはアドレス信号40に“10”が、データバス30には“\$80”が出力される。また、アドレス信号40とデータバス30が有効であることを示すコマンド信号50が出力される。そうすると、アドレス信号40が“10”であることを受けて、デコード値701が“0”、デコード値702が“1”となる。データ値変換部310は、論理仕様及び物理仕様の間の相違（表3参照）を吸収するべく、インデックス値201をもとにデータバス30上の値“\$80”を別の値に変換して、変換データ3101として出力する。具体的には、インデックス値201がデータレジスタ13を示す“\$01”であるため、データレジスタ13の仕様の相違を吸収するべく“\$80”を“\$04”に変換する。セレクタ330は、デコード値702が“1”であるため変換データ3101（“\$04”）をデータバス3301に出力する。アドレス信号変換部400は、論理仕様と物理仕様の相違（表1参照）を吸収するべく、アドレス値40（“10”）を“11”に変換して、変換アドレス4001として出力する。コマンド信号制御部500は、アドレス信号40がデータレジスタを示す値“10”であるときは、インデックス値201に依存して、入力したコマンド信号50をそのまま変換コマンド5001として出力

するか、または何も出力しないかのいずれかとなる。具体的には、インデックス値201が“\$01”、“\$02”、“\$03”などの物理的にデータレジスタが存在する値の場合には前者となり、“\$00”などの物理的にデータレジスタが存在しない場合には後者となる。本例では、インデックス値201は“\$01”であるため、入力したコマンド信号50をそのまま変換コマンド5001として出力する。前述のとおり、アドレス信号4は変換アドレス4001と、コマンド信号5は変換コマンド5001と、データバス3はデータバス3301と、各々物理的に接続されているため、アドレス信号4には“11”が、コマンド信号5には“1”が、またデータバス3には“\$04”が出力される。すると、物理仕様に則り、デコード値71が“0”、デコード値72が“1”となり、デコード値63とデコード値72とコマンド信号5の論理積である信号83が“1”となり、データレジスタ13にはデータバス3上の値“\$04”が設定される。以下、同様に、期間cでは、プロセッサが出力したインデックス値“\$02”が“\$01”に変換されてインデックスレジスタ2に設定され、期間dでは図示しないプロセッサが出力した値“\$11”が“\$28”に変換されてデータレジスタ11に設定される。

【0021】以上述べてきたように、本実施例によれば、論理仕様と物理仕様が異なる場合でも、その違いを吸収し所望のレジスタアクセスが可能になる。

【0022】また、本実施例では、論理仕様と物理仕様の相違を表1～表3に示したものであると仮定して説明してきたが、それに限定されるものではない。例えば、本実施例におけるインデックス値変換部320やデータ変換部310やアドレス信号変換部400やコマンド信号500をメモリ素子(RAM、PROM、EPROM、EEPROMなど)で構成し、同メモリ素子内の設定値に依存した変換を行なうようにすることで、さまざまな相違に対応可能になる。

【0023】また、本実施例では、表3を用いて説明したようにデータ変換をビット位置の移動を例に述べたが、それに限定するわけではなく、例えば、特定の値を四則演算するようにしてもよい。

【0024】次に、本発明の第2の実施例について説明する。図3は本発明によるレジスタアクセス制御装置の一実施例を示す機能ブロック図である。図1と対応する部分は同一の符号を記しており、その動作も同一であるため説明は省略する。図3において、1000aはレジスタ構成群1000と同様なインデックスレジスタや複数のデータレジスタからなるレジスタ構成群である。3aはデータバス3と同様に、レジスタ構成群1000a内のデータレジスタ群とインデックスレジスタに共通のデータバスである。4aはアドレス信号4と同様、レジスタ構成群1000a内のインデックスレジスタまたはデータレジスタ群のいずれかを選択するアドレス信号で

ある。5aはコマンド信号5と同様、レジスタ構成群1000a内の各レジスタへのアクセスを制御するコマンド信号であり、データバス3a上の値やアドレス信号4aが有効なときに“1”になる。10aはレジスタ構成群1000aをアクセスするバスであり、データバス3aとアドレス信号4aとコマンド信号5aで構成される。2000aは本発明の特徴的な部分であるレジスタアクセス制御部であり、上記のレジスタ構成群1000およびレジスタ構成群1000aの双方に対するアクセスを制御する。320aはインデックス値変換部320と同様、データバス30上のインデックス値を別のインデックス値に変換して出力するインデックス値変換部であり、その出力3201はレジスタ構成群1000用の、3201aはレジスタ構成群1000a用の変換インデックスである。310aはデータ変換部310と同様、インデックス値201に基づきデータバス30上のデータ値を別のデータ値に変換して出力するデータ変換部であり、その出力3101はレジスタ構成群1000用の、3101aはレジスタ構成群1000a用の変換データである。400aはアドレス信号変換部400と同様、インデックス値201に基づきアドレス信号40を別のアドレス信号に変換して出力するアドレス信号変換部であり、その出力4001はレジスタ構成群1000用の、4001aはレジスタ構成群1000a用の変換アドレスである。500aはコマンド信号制御部500と同様に、アドレス信号40とインデックス値201に基づきコマンド信号50を別のコマンド信号に変換するコマンド信号制御部であり、その出力5001はレジスタ構成群1000用の、5001aはレジスタ構成群1000a用の変換コマンドである。330aは変換インデックス3201、3201aが変換データ3101、3101aの一方を選択して出力するセレクタであり、デコード値701が“1”的ときは変換インデックス3201、3201aを、デコード値702が“1”的ときは変換データ3101、3101aを出力する。3301aはデータバスであり、セレクタ330aによって変換インデックス3201aあるいは変換データ3101aが選択される。ここで、データバス3301aはデータバス3aと、変換アドレス4001aはアドレス信号4aと、変換コマンド5001aはコマンド信号5aと物理的に接続されており、同一の値が転送される。

【0025】次に本実施例の動作を表4～表6と図4を参照しながら説明する。表4～表6は本実施例における論理仕様とレジスタ構成群1000および1000aの物理仕様の差異の一例を示す仕様表である。プロセッサからのアクセスは、この論理仕様に基づき行われるものである。図4は表4～表6で示した仕様をベースにした本実施例の基本的な動作タイミングを示すタイミングチャートである。表4～表6および図4では、図3と対応

する部分は同一の符号を記しており、それらの説明は省略する。

【0026】表4はアドレス信号に対して選択されるレジスタの仕様を示している仕様表であり、アドレス信号は2ビットと仮定している。表4において、論理仕様では、アドレス信号が“00”的ときインデックスレジスタが選択され、“10”的ときデータレジスタ群が選択される。すなわち、図3に図示しないプロセッサが outputするアドレス信号40が“00”的ときインデックスレジスタ2が選択され、“10”的ときデータレジスタ群1が選択される必要がある。これに対して物理仕様では、レジスタ構成群1000ではアドレス信号が“00”的ときインデックスレジスタが、“11”的ときデータレジスタ群が選択され、また、レジスタ構成群1000aではアドレス信号が“01”的ときインデックスレジスタが、“10”的ときデータレジスタ群が選択される。すなわち、図3のアドレス信号4が“00”的ときレジスタ構成群1000のインデックスレジスタ2が選択され、“01”的ときレジスタ構成群1000aの図3に図示しないインデックスレジスタが選択され、“10”的ときレジスタ構成群1000aの図示しないデータレジスタ群が選択され、“11”的ときレジスタ構成群1000のデータレジスタ群1が選択される。

【0027】表5はインデックス値に対して選択されるデータレジスタの仕様を示している仕様表であり、インデックス値が8ビットと仮定して記述してある。数字の前に“\$”が付くのはその数字が16進数であることを表している。表5において、論理仕様では、インデックス値が“\$01”的ときデータレジスタ13が、“\$02”的ときデータレジスタ11が、“\$03”的ときデータレジスタ12が選択される。すなわち図3に図示しないプロセッサが outputするインデックス値（インデックスレジスタ20に格納されるインデックス値201）が“\$01”的ときデータレジスタ13が、“\$02”的ときデータレジスタ11が、“\$03”的ときデータレジスタ12が選択される必要がある。これに対して、物理仕様では、インデックス値が“\$01”的ときレジスタ構成群1000側のデータレジスタ11が、“\$02”的ときデータレジスタ12が、“\$03”的ときデータレジスタ13が各々選択される。また、インデックス値が“\$00”的ときレジスタ構成群1000a側の図示しないデータレジスタ13aが選択される。すなわち、図3のレジスタ構成群1000側のインデックスレジスタ2に格納されるインデックス値21が“\$01”的ときデータレジスタ11が、“\$02”的ときデータレジスタ12が、“\$03”的ときデータレジスタ13が選択される。また、レジスタ構成群1000a側の図示しないインデックスレジスタに格納されるインデックス値が“\$00”的とき図示しないデータレジスタ13aが選択される。

【0028】表6はデータレジスタのビット仕様を示した仕様表であり、特にデータレジスタ13とデータレジスタ11の仕様を示している。表中の記号A、B、C、およびEは、ある特定の機能を有するビットを区分しているものであり、同一記号のビットは同一機能を有していることを示している。表6において、論理仕様では機能Aはデータレジスタ13のD7ビット、機能EはD5ビットで有効になる。すなわち、D7ビットを最上位ビットとした場合、データレジスタ13に対して“\$A0”を設定すると機能Aと機能Eが有効になる必要がある。これに対して物理仕様では、機能Aはレジスタ構成群1000側のデータレジスタ13のD2ビット、機能Eはレジスタ構成群1000a側の図示しないデータレジスタ13aのD0ビットで有効になる。すなわち図3のレジスタ構成群1000側のデータレジスタ13に対して“\$04”を設定すると機能Aが、レジスタ構成群1000a側の図示しないデータレジスタ13aに対して“\$01”を設定すると機能Eが有効になる。データレジスタ11に関しては、表3で示したものと同一であるため説明は省略する。

【0029】ここで、表4～表6を用いて述べてきた論理仕様と物理仕様の相違を、本発明の特徴であるレジスタアクセス制御部2000aでどのようにして吸収するかを図4を用いて説明する。

【0030】図4は機能AおよびE、並びに機能BおよびCを有効にすると仮定したときのレジスタアクセス動作タイミングを示している。図4において、期間aはデータレジスタ13をアクセス可能にするためのインデックスレジスタに対する設定を表し、期間bは機能AとBを有効にするためのデータレジスタ13に対する設定を表している。期間cはデータレジスタ11をアクセス可能にするためのインデックスレジスタに対する設定を、期間dは機能BとCを有効にするためのデータレジスタ11に対する設定を表している。まず、期間aでは、論理仕様に基づきインデックスレジスタに対して“\$01”を設定するために、プロセッサからはアドレス信号40に“00”が、データバス30にはインデックス値“\$01”が outputされる。また、アドレス信号40とデータバス30が有効であることを示すコマンド信号50が outputされる。すると、アドレス信号40が“00”であることを受けデコード値701が“1”、デコード値702が“0”となり、デコード値701とコマンド信号50の論理積である信号901が“1”となり、インデックスレジスタ20にデータバス30上のインデックス値“\$01”が設定される（インデックス値201が“\$01”となる）。インデックス値変換部320aは、論理仕様と物理仕様の相違（表5参照）を吸収するべく、データバス上のインデックス値“\$01”を“\$03”と“\$00”に変換して、前者を変換インデックス3201として、後者を変換インデックス3201a

として出力する。セレクタ330aは、デコード値701が“1”であるため変換インデックス3201（“\$03”）をデータバス3301に、変換インデックス3201a（“\$00”）をデータバス3301aに出力する。アドレス信号変換部400aは、論理仕様と物理仕様の相違（表4参照）を吸収するべく、アドレス値40（“00”）を“00”と“01”に変換して、前者を変換アドレス4001として、後者を変換アドレス4001aとして出力する。コマンド信号制御部500aは、アドレス信号40がインデックスレジスタを示す値である“00”的ときは、入力したコマンド信号50をそのまま変換コマンド5001、5001aとして出力する。ここで、アドレス信号4は変換アドレス4001と、コマンド信号5は変換コマンド5001と、データバス3はデータバス3301と物理的に接続されているため、アドレス信号4には“00”が、コマンド信号5には“1”が、データバス3には“\$03”が各々出力される。また、アドレス信号4aは変換アドレス4001aと、コマンド信号5aは変換コマンド5001aと、データバス3aはデータバス3301aと物理的に接続されているため、アドレス信号4aには“01”が、コマンド信号5aには“1”が、データバス3aには“\$00”が出力される。すると、物理仕様に則り、レジスタ構成群1000側のインデックスレジスタ2にはデータバス3上の値“\$03”が設定され、また、レジスタ構成群1000a側の図示しないインデックスレジスタにはデータバス3a上の値“\$00”が設定される。次に、期間bでは、論理仕様に基づいてデータレジスタ13に対して“\$A0”を設定するために、プロセッサからはアドレス信号40に“10”が、データバス30には“\$A0”が出力される。また、アドレス信号40とデータバス30が有効であることを示すコマンド信号50が出力される。すると、アドレス信号40が“10”であることを受けデコード値701が“0”、デコード値702が“1”となる。データ値変換部310aは、論理仕様と物理仕様の相違（表6参照）を吸収するべく、インデックス値201を基にデータバス30上の値“\$A0”を別の値に変換して変換データ3101、3101aとして出力する。具体的には、インデックス値201がデータレジスタ13を示す“\$01”であるため、データレジスタ13の仕様の相違を吸収するべく“\$A0”を“\$04”と“\$01”に変換して、前者を変換データ3101として、後者を変換データ3101aとして出力する。セレクタ330aは、デコード値702が“1”であるため、変換データ3101（“\$04”）をデータバス3301に、変換データ3101a（“\$01”）をデータバス3301aに出力する。アドレス信号変換部400aは、論理仕様と物理仕様の相違（表4参照）を吸収するべく、アドレス値40（“10”）を“11”と“10”に変換して、前者

を変換アドレス4001として、後者を変換アドレス4001aとして出力する。コマンド信号制御部500aは、アドレス信号40がデータレジスタを示す値“10”であるときは、インデックス値201に依存して、入力したコマンド信号50をそのまま変換コマンド5001、5001aとして出力するか、あるいは何も出力しないかのいずれかとなる。具体的には、インデックス値201が“\$02”、“\$03”などのレジスタ構成群1000側だけに物理的にデータレジスタが存在する値の場合は、変換コマンド5001だけを出力し、“\$01”などのレジスタ構成群1000側とレジスタ構成群1000a側の双方に物理的にレジスタが存在する値の場合は、変換コマンド5001と変換コマンド5001aの双方を出力する。また、“\$00”などのレジスタ構成群1000側にもレジスタ構成群1000a側にも物理的にデータレジスタが存在しない値の場合は、変換コマンド5001も変換コマンド5001aも出力しない。本例では、インデックス値201は“\$01”であるため、入力したコマンド信号50をそのまま変換コマンド5001、5001aとして出力する。前述のとおり、アドレス信号4は変換アドレス4001と、コマンド信号5は変換コマンド5001と、データバス3はデータバス3301と物理的に接続されているため、アドレス信号4には“11”が、コマンド信号5には“1”が、データバス3には“\$04”が出力される。同様に、アドレス信号4aは変換アドレス4001aと、コマンド信号5aは変換コマンド5001aと、データバス3aはデータバス3301aと物理的に接続されているため、アドレス信号4aには“10”が、コマンド信号5aには“1”が、データバス3aには“\$01”が出力される。すると、物理仕様に則り、レジスタ構成群1000側のデータレジスタ13にはデータバス3上の値“\$04”が設定され、また、レジスタ構成群1000a側の図示しないデータレジスタ13aにはデータバス3a上の値“\$01”が設定される。以下同様に、期間cでは、プロセッサが出力したインデックス値“\$02”が“\$01”に変換されてレジスタ構成群1000側のインデックスレジスタ2に設定され、期間dではプロセッサが出力した値“\$11”が“\$28”に変換されてレジスタ構成群1000側のデータレジスタ11に設定される。また、インデックス値201が“\$02”であるため、前述のように変換コマンド5001aは出力されず、レジスタ構成群1000a側のレジスタには何も設定されない。  
【0031】以上述べてきたように、本実施例によれば、論理仕様上では一つのレジスタであったものが物理仕様上では二つのレジスタ構成群中のレジスタに分割された場合でも、その違いを吸収し所望のレジスタアクセスが可能になる。なお、本実施例ではレジスタ構成群を二つと仮定して説明してきたが、それに限定するわけ

はない。例えば、レジスタ構成群が  $i$  ( $i$  は 2 以上の整数) 個ある場合には、インデックス値変換部 320a の出力を  $j$  ( $j$  は  $i$  以下の整数) 個、データ変換部 310a の出力を  $k$  ( $k$  は  $i$  以下の整数) 個、アドレス信号変換部 400a の出力を  $l$  ( $l$  は  $i$  以下の整数) 個、コマンド信号制御部 500a の出力を  $m$  ( $m$  は  $i$  以下の整数) 個にすれば対応できる。

【0032】また、本実施例では、論理仕様と物理仕様の相違を表4～表6に示したものであると仮定して説明してきたが、それに限定するものではない。例えば、本実施例におけるインデックス値変換部320aやデータ変換部310aやアドレス信号変換部400aやコマンド信号制御部500aをメモリ素子(RAM、ROM、EPROM、EEPROMなど)で構成し、同メモリ素子内の設定値に依存した変換を行なうようにすることで、さまざまな相違に対応可能になる。

【0033】また、本実施例では、表6を用いて説明したようにデータ変換をビット位置の移動を例に述べたが、それに限定するわけではなく、例えば、特定の値を四則演算するようにしてもよい。

【0034】次に、本発明の第3の実施例について説明する。図5は本発明によるレジスタアクセス制御装置の一実施例を示す機能ブロック図である。図1と対応する部分は同一の符号を記しており、その動作も同一であるため説明は省略する。図5において、2000bは本発明の特徴的なレジスタアクセス制御部であり、レジスタ構成群1000に対するアクセスを制御する。6001は図5に図示しないプロセッサの動作の基準となっているクロック信号であり、また600はクロック信号601に同期して動作するタイミング信号生成部であり、その出力6002はインデックス値変換部320bやデータ変換部310bやアドレス信号変換部400bやコマンド信号制御部500bやセレクタ330bの動作を決定する動作基準信号、6003は不図示のプロセッサに対してレジスタアクセスを一時的に停止させる一時停止信号である。700はデータバス30上の値を格納するデータレジスタであり、その出力7001はデータレジスタ700に格納されたデータ値である。80は論理積で、デコード値702とコマンド信号50とを論理積した信号801をデータレジスタ700に対して出力する。この信号801が“1”的ときデータレジスタ700はデータバス30上の値を格納する。インデックス値変換部320bは、基本的にはインデックス値変換部320と同様にデータバス30上のインデックス値を変換して出力するが、動作基準信号6002が特定の値になった場合は、インデックス値201を変換して出力する。データ変換部310bは、基本的にはデータ変換部310と同様にデータバス30上のデータ値を変換して出力するが、動作基準信号6002が特定の値になった場合は、データ値7001を変換して出力する。アドレ

ス信号変換部400bは、基本的にはアドレス信号変換部400と同様にアドレス信号40を変換して出力するが、動作基準信号6002が特定の値になった場合は、その動作基準信号6002を基に変換アドレス4001を生成する。コマンド信号制御部500bは、基本的にはコマンド信号制御部500と同様にコマンド信号50を変換して出力するが、動作基準信号6002が特定の値になった場合、その動作基準信号6002を基に変換コマンド5001を生成する。セレクタ330bは、基

10 本的にはセレクタ330と同様にデコード値701、702を基に変換インデックス3201か変換データ3101かの一方を選択してデータバス3301に出力するが、動作基準信号6002が特定の値になった場合は、その動作基準信号6002を基に選択動作を行なう。

【0035】次に本実施例の動作を表7～表9と図6を参照しながら説明する。表7～表9は本実施例における論理仕様とレジスタ構成群1000の物理仕様の差異の一例を示す仕様表である。図6は表7～表9で示した仕様をベースにした本実施例の基本的な動作タイミングを示すタイミングチャートである。表7～表9および図6では、図5と対応する部分は同一の符号を記しており、それらの説明は省略する。

【0036】表7はアドレス信号に対して選択されるレジスタの仕様を示している仕様表であり、アドレス信号が2ビットと仮定して記述してある。この仕様表は第1の実施例で説明した表1と同一であり、その内容も同一であるため説明は省略する。

【0037】表8はインデックス値に対して選択されるデータレジスタの仕様を示している仕様表であり、インデックス値が8ビットと仮定して記述してある。数字の前に“\$”が付くのはその数字が16進数であることを表している。表8において、論理仕様では、インデックス値が“\$01”的ときデータレジスタ13が、“\$02”的ときデータレジスタ11が、“\$03”的ときデータレジスタ12が選択される。すなわち図5に図示しないプロセッサが outputするインデックス値（インデックスレジスタ20に格納されるインデックス値201）が“\$01”的ときデータレジスタ13が、“\$02”的ときデータレジスタ11が、“\$03”的ときデータレジスタ12が選択される必要がある。これに対して、物理仕様では、インデックス値が“\$01”的ときデータレジスタ11が、“\$02”的ときデータレジスタ12が、“\$03”的ときデータレジスタ13が選択される。さらに、“\$04”的ときデータレジスタ12が選択される。すなわち図5のインデックスレジスタ2に格納されるインデックス値21が“\$01”的ときデータレジスタ11が、“\$02”的ときデータレジスタ12が、“\$03”的ときデータレジスタ13が、“\$04”的とき図示しないデータレジスタ12が選択される。

【0038】表9はデータレジスタのビット仕様を示した仕様表であり、特にデータレジスタ12の仕様を示している。表中の記号F、Gは、ある特定の機能を有するビットを区分しているものであり、同一記号のビットは同一機能を有していることを示している。表9において、論理仕様では、機能Fはデータレジスタ12のD7ビット、機能GはD0ビットで有効になる。すなわちD7ビットを最上位ビットとした場合、データレジスタ12に対して“\$81”を設定すると機能FとGが有効になる必要がある。これに対して物理仕様では、機能Fはデータレジスタ12のD0ビット、機能Gはデータレジスタ12'のD1ビットで有効になる。すなわち図5のデータレジスタ12に対して“\$01”を設定し、且つ図示しないデータレジスタ12'に対して“\$02”を設定すると、機能FとGが有効になる。

【0039】ここで、表7～表9を用いて述べてきた論理仕様と物理仕様の相違を、本発明の特徴的なレジスタアクセス制御部2000bでどのようにして吸収するかを図6を用いて説明する。

【0040】図6において、期間aはデータレジスタ12をアクセス可能にするためのインデックスレジスタに対する設定を、期間bは、機能FとGを有効にするためのデータレジスタ12に対する設定を表している。期間cおよび期間dは、プロセッサが一時停止状態で、本発明のレジスタアクセス制御手段が機能Gを有効にするためにデータレジスタ12'に対して値を設定する状態を表している。まず、期間aでは、論理仕様に基づきインデックスレジスタに対して“\$03”を設定するため、プロセッサからはアドレス信号40に“00”が、データバス30にはインデックス値“\$03”が出力される。また、アドレス信号40とデータバス30が有効であることを示すコマンド信号50が出力される。すると、アドレス信号40が“00”であることを受けて、デコード値701が“1”、デコード値702が“0”となり、インデックスレジスタ20にデータバス30上のインデックス値“\$03”が設定される（インデックス値201が“\$03”となる）。タイミング信号生成部600は、通常は動作基準信号6002に“\$0”を、一時停止信号6003に“0”を出力している。この一時停止信号6003が“0”的場合、プロセッサは通常どおりに動作する。インデックス値変換部320bは、動作基準信号6002が“\$0”的場合、第1の実施例で説明したインデックス値変換部320と同一動作となる。具体的には論理仕様と物理仕様の相違（表8参照）を吸収するべく、データバス上のインデックス値“\$03”を“\$02”に変換して、変換インデックス3201として出力する。セレクタ330bは、動作基準信号6002が“\$0”的場合、第1の実施例で説明したセレクタ330と同一動作となる。具体的にはデコード値701が“1”であるため変換インデックス32

01（“\$02”）をデータバス3301に出力する。アドレス信号変換部400bは、動作基準信号6002が“\$0”的場合、第1の実施例で説明したアドレス信号変換部400と同一動作となる。具体的には、論理仕様と物理仕様の相違（表7参照）を吸収するべく、アドレス値40（“00”）を“00”に変換して変換アドレス4001として出力する。この場合、仕様の相違が無いため実際には値の変換は行なわない。コマンド信号制御部500bは、動作基準信号6002が“\$0”的場合、第1の実施例で説明したコマンド信号制御部500と同一動作となる。具体的にはアドレス信号40がインデックスレジスタを示す値である“00”的ときは、入力したコマンド信号50をそのまま変換コマンド5001として出力する。ここで、アドレス信号4は変換アドレス4001と、コマンド信号5は変換コマンド5001と、データバス3はデータバス3301と物理的に接続されているため、アドレス信号4には“00”が、コマンド信号5には“1”が、データバス3には“\$02”が出力される。すると、物理仕様に則り、インデックスレジスタ2にはデータバス3上の値“\$02”が設定される（インデックス値21が“\$02”となる）。つまり、次にデータレジスタへのアクセスがあった場合は、データレジスタ12がその対象になる。次に、期間bでは、論理仕様に基づいてデータレジスタ12に対して“\$81”を設定するため、プロセッサからはアドレス信号40に“10”が、データバス30には“\$81”が出力される。また、アドレス信号40とデータバス30が有効であることを示すコマンド信号50が出力される。すると、アドレス信号40が“10”であることを受けデコード値701が“0”、デコード値702が“1”となる。デコード値702が“1”となるため、コマンド信号50が“1”になるときに論理積80の出力信号801が“1”となり、データレジスタ700にデータバス30上の値“\$81”が格納される。データ値変換部310aは、論理仕様と物理仕様の相違（表9参照）を吸収するべく、インデックス値201を基にデータバス30上の値“\$81”を別の値に変換して変換データ3101として出力する。ただし、値“\$81”は機能FとGの両方を有効にする値であり、物理的にはデータレジスタ12のD0ビットとデータレジスタ12'のD1ビットの両方に値を設定する必要がある。そこで、期間b、すなわち、動作基準信号6002が“\$0”的ときはデータレジスタ12に対するデータ変換のみを行なう。具体的には、機能Fを有効にするため“\$81”を“\$01”に変換し、変換データ3101として出力する。セレクタ330bは、デコード値702が“1”であるため変換データ3101（“\$01”）をデータバス3301に出力する。アドレス信号変換部400bは、論理仕様と物理仕様の相違（表7参照）を吸収するべく、アドレス値40（“10”）を

“11”に変換して、変換アドレス4001として出力する。コマンド信号制御部500bは、アドレス信号40がデータレジスタを示す値である“10”で、且つインデックス値201が“\$03”であるため、入力したコマンド信号50をそのまま変換コマンド5001として出力する。前述のとおり、アドレス信号4は、変換アドレス4001と、コマンド信号5は変換コマンド5001と、データバス3はデータバス3301と各々物理的に接続されているため、アドレス信号4には“11”が、コマンド信号5には“1”が、データバス3には“\$01”が出力される。すると、物理仕様に則り、データレジスタ12にはデータバス3上の値“\$01”が設定される。タイミング信号生成部600は、論理仕様には存在しないデータレジスタ12'への設定を行うため、一時停止信号6003を“1”にして、プロセッサからのレジスタアクセスを停止させる。また、動作基準信号6002をクロック信号6001に同期してカウントアップさせる。このカウントアップは期間c、dと続く。期間cとdでは、プロセッサは停止状態にあり、機能Fを設定するために本発明の特徴であるレジスタアクセス制御部2000bが物理仕様に基づきデータレジスタ12'を設定するよう動作する。すなわち、期間cでは、データレジスタ12'が選択されるようインデックスレジスタ2に対して“\$04”を設定し、期間dでは、データレジスタ12'に対して“\$02”を設定する。以下、その具体的な動作を説明する。インデックス値変換部320bは、動作基準信号6002が“\$01”～“\$07”（期間c）の場合、論理仕様と物理仕様の相違（表8参照）を吸収するべく、インデックス値201の値“\$03”を“\$04”に変換して変換インデックス3201として出力する。しかし、動作基準信号6002が“\$08”～“\$0E”（期間d）の場合は、その動作は特に意味を持たない。データ変換部310bは、動作基準信号6002が“\$01”～“\$07”（期間c）の場合、その動作は特に意味を持たない。しかし、動作基準信号6002が“\$08”～“\$0E”（期間d）の場合、論理仕様と物理仕様の相違（表9参照）を吸収するべく、データ値7001の値“\$81”を“\$02”に変換して変換データ3101として出力する。セレクタ330bは、動作基準信号6002が“\$01”～“\$07”（期間c）の場合、変換インデックス3201（“\$04”）をデータバス3301に出力する。また、動作基準信号6002が“\$08”～“\$0E”（期間d）の場合は、セレクタ330bは、変換データ3101（“\$02”）をデータバス3301に出力する。アドレス信号変換部400bは、動作基準信号6002が“\$01”～“\$07”（期間c）の場合、“00”を変換アドレス4001として出力する。また、動作基準信号6002が“\$08”～“\$0E”（期間d）の場合、“11”を変換ア

レス4001として出力する。コマンド信号制御部500bは、動作基準信号6002が“\$01”～“\$07”（期間c）の場合、“\$4”～“\$5”の期間に変換コマンド5001を“1”にする。また、動作基準信号6002が“\$08”～“\$0E”（期間d）の場合、“\$B”～“\$B”の期間に変換コマンド5001を“1”にする。ここで、アドレス信号4は変換アドレス4001と、コマンド信号5は変換コマンド5001と、データバス3はデータバス3301と各々物理的に接続されているため、期間cでは、アドレス信号4には“00”、コマンド信号5には“1”、データバス3には“\$04”が出力され、インデックスレジスタ2に“\$04”が設定される。また、期間dでは、アドレス信号4には“11”、コマンド信号5には“1”、データバス3には“\$02”が出力され、データレジスタ12'に“\$02”が設定される。タイミング信号生成部600は、動作基準信号6002を“\$E”までカウントアップした後は“\$0”に戻し、プロセッサから期間a、bで示したようなアクセスがあるまでは“\$0”的状態を維持する。また、一時停止信号6003も“0”に戻し、プロセッサの動作をスタートさせる。

【0041】以上述べてきたように、本実施例によれば、論理仕様上では一つのレジスタであったものが物理仕様上では同一レジスタ構成群中の二つのレジスタに分割された場合でも、その違いを吸収し所望のレジスタアクセスが可能になる。なお、本実施例では一つのレジスタが物理的には二つに分割されたと仮定して説明してきたが、それに限定するわけではない。例えば、二つ以上に分割された場合でも、動作基準信号6002のカウントアップをさらに増やし、一時停止信号6003によるプロセッサの停止期間を長くすることにより対応できる。

【0042】また、本実施例では、論理仕様と物理仕様の相違を表7～表9に示したものであると仮定して説明してきたが、それに限定するものではない。例えば、本実施例におけるインデックス値変換部320bやデータ変換部310bやアドレス信号変換部400bやコマンド信号制御部500bやセレクタ330bやタイミング信号生成部600をメモリ素子（RAM、PROM、EPROM、EEPROMなど）で構成し、同メモリ素子内の設定値に依存した変換を行なうようにすることで、さまざまな相違に対応可能になる。

【0043】また、本実施例および前述の第2の実施例を組み合わせることにより、論理的に一つのレジスタだったものが、物理的に複数のレジスタ構成群に分割され且つ一つのレジスタ構成群中の複数のレジスタに分割されている場合にも対応可能になる。

【0044】また、本実施例では、表9を用いて説明したようにデータ変換をビット位置の移動を例に述べたが、それに限定するわけではなく、例えば、特定の値を

21

四則演算するようにしてもよい。  
【0045】

\*【表1】

\*

表1

アドレス信号	選択されるレジスタ	
	論理仕様	物理仕様
00	インデックスレジスタ	インデックスレジスタ
01	-	-
10	データレジスタ群	-
11	-	データレジスタ群

【0046】

\* \* 【表2】

表2

インデックス値	選択されるデータレジスタ	
	論理仕様	物理仕様
\$00	データレジスタ10	-
\$01	データレジスタ13	データレジスタ11
\$02	データレジスタ11	データレジスタ12
\$03	データレジスタ12	データレジスタ13

【0047】

★20★【表3】

表3

データレジスタ名	ビット仕様	
	論理仕様	物理仕様
データレジスタ13	D7 A □□□□□□	D2 □□□□A □□□□
データレジスタ11	D4 B □□□C	D5 D3 B C □□□□

【0048】

【表4】

表4

アドレス信号	選択されるレジスタ	
	論理仕様	物理仕様
	1000	1000a
00	インデックスレジスタ	インデックスレジスタ
01	-	インデックスレジスタ
10	データレジスタ群	データレジスタ群
11	-	データレジスタ群

30

表5

インデックス値	選択されるデータレジスタ	
	論理仕様	物理仕様
\$00	データレジスタ10	-
\$01	データレジスタ13	データレジスタ11
\$02	データレジスタ11	データレジスタ12
\$03	データレジスタ12	データレジスタ13

【0049】

☆40

表6

データレジスタ名	ビット仕様	
	論理仕様	物理仕様
データレジスタ13	D7 D5 A E □□□□□□	データレジスタ13 D2 □□□□A データレジスタ13a D0 □□□□E
データレジスタ11	D4 D0 B C □□□□	D5 D3 B C □□□□

【0051】

50 【表7】

表 7

アドレス信号	選択されるレジスタ	
	論理仕様	物理仕様
00	インデックスレジスタ	インデックスレジスタ
01	-	-
10	データレジスタ群	-
11	-	データレジスタ群

【0052】

\* \* 【表8】

表 8

インデックス値	選択されるデータレジスタ	
	論理仕様	物理仕様
\$01	データレジスタ13	データレジスタ11
\$02	データレジスタ11	データレジスタ12
\$03	データレジスタ12	データレジスタ13
\$04	-	データレジスタ12'

【0053】

\* \* 【表9】

表 9

データレジスタ名	ビット仕様	
	論理仕様	物理仕様
データレジスタ12	D7 [F] <input type="checkbox"/> G D0	データレジスタ12 [F] <input type="checkbox"/> D0 データレジスタ12' [G] <input type="checkbox"/> G

【0054】

【発明の効果】以上、本発明によれば、レジスタのマッピングやレジスタへの設定値をソフトウェアを変更することなく自由に変えることが可能なため、物理的なレジスタ仕様が変更になってもソフトウェアの互換性を確保できるという効果がある。

【0055】

【図面の簡単な説明】

【図1】本発明によるレジスタアクセス制御装置の第1の実施例を示す機能ブロック図

【図2】図1で示した実施例の動作を示すタイミングチャート図

【図3】本発明によるレジスタアクセス制御装置の第2の実施例を示す機能ブロック図

【図4】図3で示した実施例の動作を示すタイミングチャート図

【図5】本発明によるレジスタアクセス制御装置の第3の実施例を示す機能ブロック図

【図6】図5で示した実施例の動作を示すタイミングチャート図

【符号の説明】

1…データレジスタ群 2…インデックスレジスタ 3…データバス

4…アドレス信号 5…コマンド信号 10, 100…バス

21, 201…インデックス値、30, 3301…データバス

40…アドレス信号 50…コマンド信号

61~6n, 71, 72, 701, 702…デコード値 1000…レジスタ構成群 2000…レジスタアクセス制御部

3101…変換データ 3201…変換インデックス 4001…変換アドレス 5001…変換コマンド

6001…クロック信号 6002…動作基準信号 6003…一時停止信号

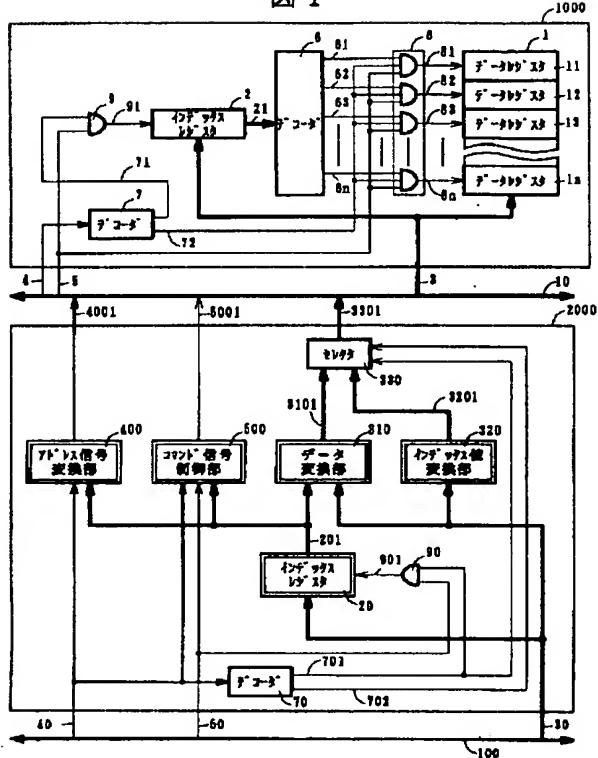
30

40

40

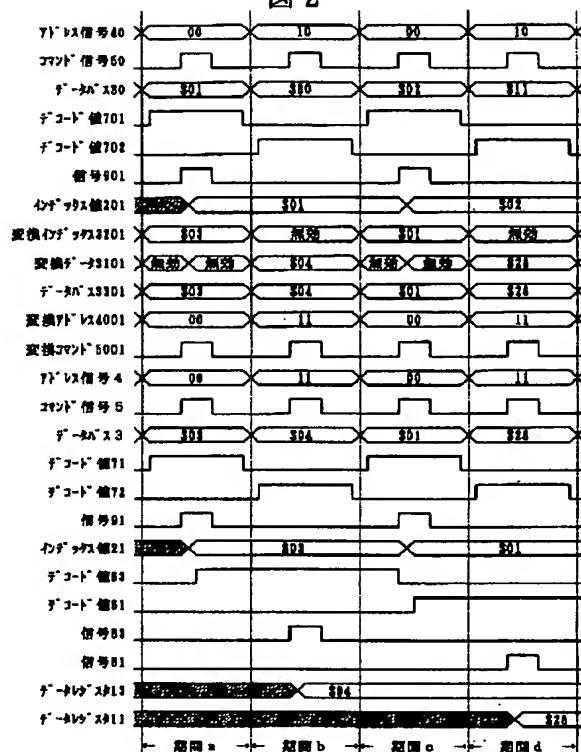
【図1】

図 1



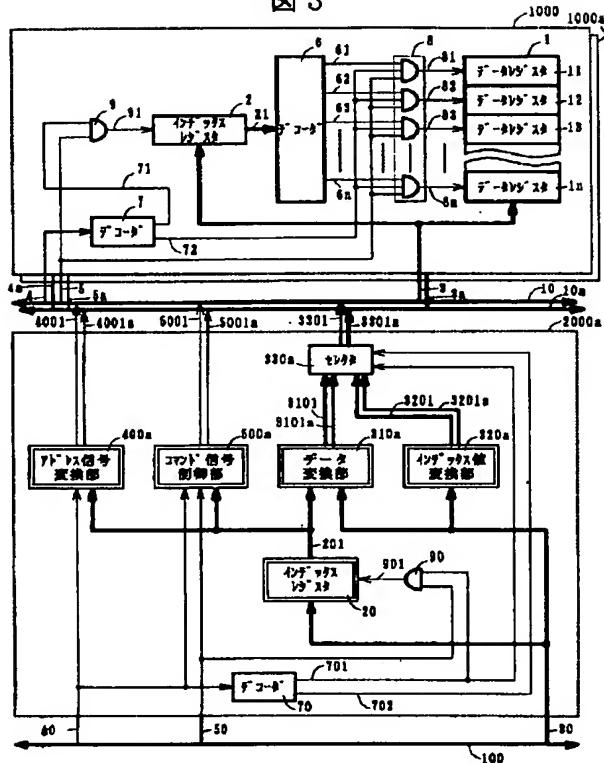
[図2]

図 2



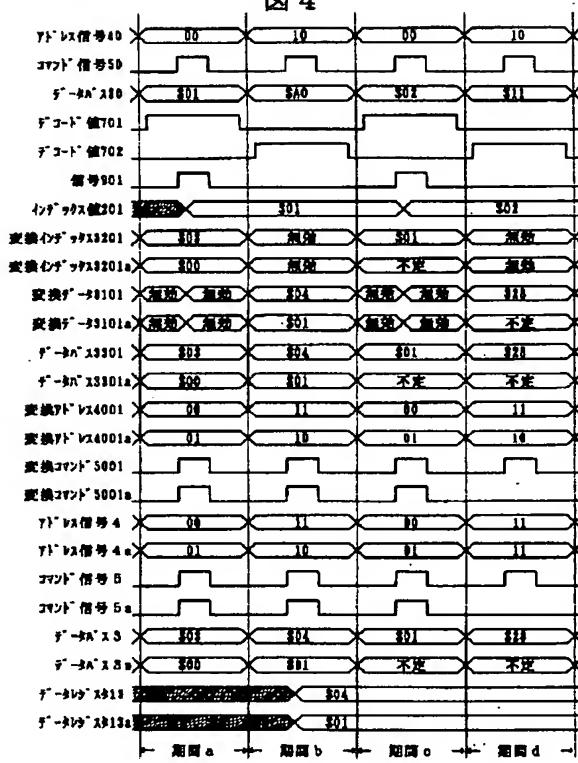
【図3】

図3



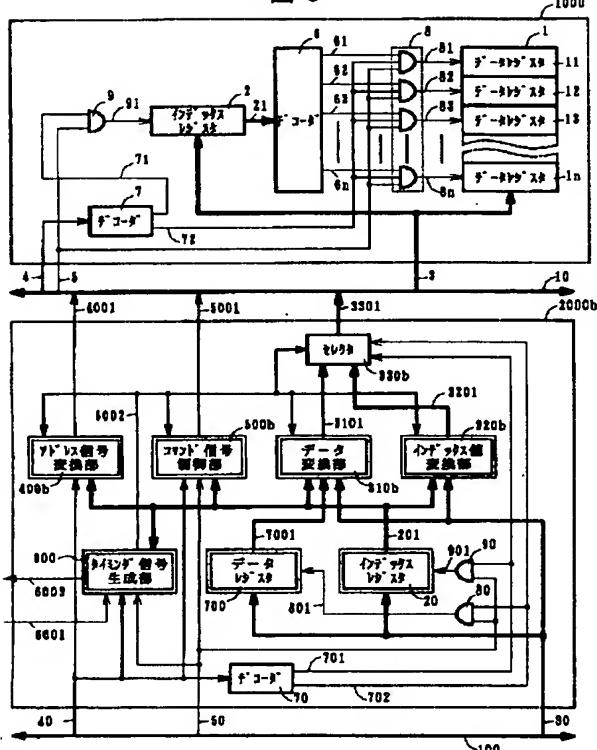
【図4】

図4



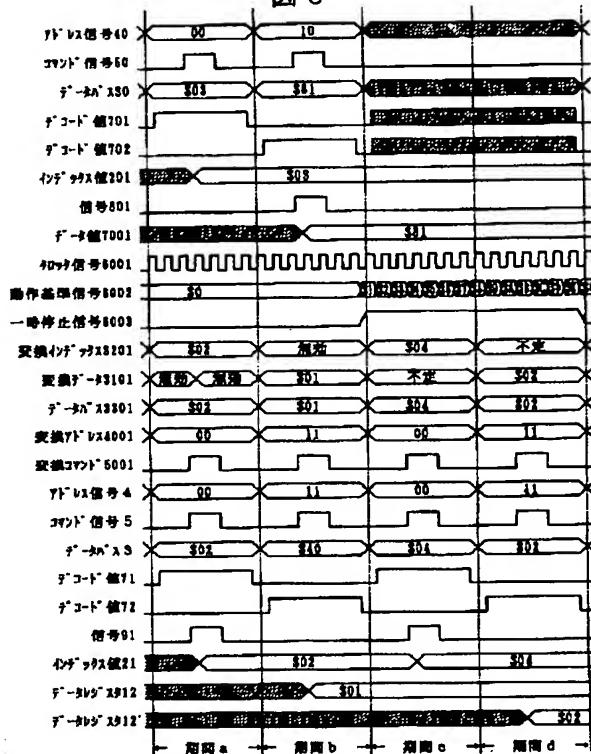
[図5]

图 5



[図6]

6



## フロントページの続き

(72)発明者 林 修一

愛知県尾張旭市晴丘町池上1番地株式会社  
日立製作所オフィスシステム事業部内

(72)発明者 大原 寿幸

愛知県尾張旭市晴丘町池上1番地株式会社  
日立製作所オフィスシステム事業部内